

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358297

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 2000-178770

(71)Applicant : NEC CORP

(22)Date of filing : 14.06.2000

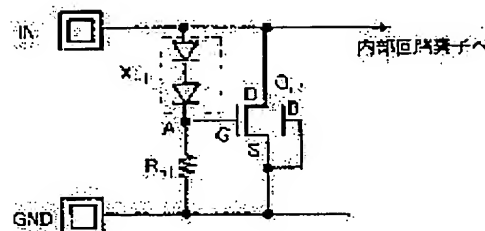
(72)Inventor : ANDO TAKESHI

(54) STATIC ELECTRICITY PROTECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a static electricity protection circuit for protecting a circuit element with a low insulation breakdown voltage by reducing a trigger voltage for causing a MOSFET to generate a snap-back operation.

SOLUTION: This static electricity protection circuit is provided with an nMOSFET for protection where a drain is connected to input/output terminals and a source and a substrate are connected to each grounding potential, a row of diodes consisting of at least one diode that is connected in series in a forward direction between the gate of the nMOSFET for protection and the input/output terminals, and a resistor that is connected between the gate of the nMOSFET for protection and the grounding potential.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開2001-358297
(P2001-358297A)

(43)公認日 平成13年12月26日(2001.12.26)

試料記号	FI	H 5F038
51)InCl ₃	H01L 27/04	H 5F038
		21/822

審査請求 未請求 請求項の数30 OL (全20頁)

(21)出願番号 特許2000-178770(P2000-178770)
(22)出願日 平成12年6月14日(2000.6.14)

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 安藤 岳
東京都港区芝五丁目7番1号 日本電気株
式会社内

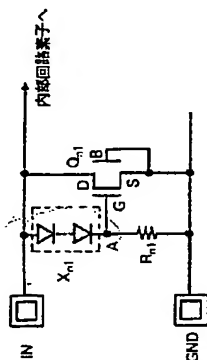
(74)代理人 100083028
伊理士 金田 暢之 (外2名)
Pターム(参考) 5F038 BH02 BH04 BH05 BH07 BH13
E220

54)【発明の名称】 静電保護回路

(27) 聖訓]

【課題】 MOSFETがスナップバック動作を起こすトリガー電圧を下げて低い絶縁破壊電圧の回路素子を保護することが可能な静電保護回路を提供する。

【解決手段】ドレインが入力／出力端子と接続され、ソース及び基板上がそれぞれ接地電位と接続された保護用nMOSFETと、保護用MOSFETのゲートと入／出力端子と、保護用MOSFETのソース間に直列接続された少なくとも1つのダイオードから成るダイオード列と、保護用MOSFETのゲートと接地電位間に接続された抵抗器とを有する。



がそれぞれ接地電位と接続された保護用nMOSFETと、

前記保護用nMOSFETの基板と前記入/出力端子間に順方向に直列接続された少なくとも1つのダイオードから成る第1のダイオードと、

前記第1のダイオードと並行に、前記保護用nMOSFETの基板と前記入/出力端子間に接続された第1の抵抗と、

前記保護用nMOSFETの基板と接地電位間に接続された第2の抵抗と、

ドレインが前記入/出力端子と接続され、ソース及びゲートがそれぞれ電源と接続された保護用pMOSFETと、

前記保護用pMOSFETの基板と前記入/出力端子間に順方向に直列接続された少なくとも1つのダイオードから成る第2のダイオードと、

前記第2のダイオードと並行に、前記保護用pMOSFETの基板と前記入/出力端子間に接続された第3の抵抗と、

前記保護用pMOSFETの基板と接地電位間に接続された第4の抵抗と、を有する静電保護回路。

【請求項29】 前記入/出力端子に印加される電圧が接地電位から電源電圧のとき、前記保護用nMOSFETがオフ状態を維持するように、前記第1の抵抗器及び第2の抵抗器の値がそれぞれ設定され、

前記入/出力端子に印加される電圧が電源電圧を越えたとき、前記保護用nMOSFETの基板からソースに電流が流れて寄生バイポーラトランジスタが導通するようになり、前記第2の抵抗器の値が設定され、

前記入/出力端子に印加される電圧が接地電位から電源電圧のとき、前記保護用pMOSFETがオフ状態を維持するように、前記第3の抵抗器及び第4の抵抗器の値がそれぞれ設定され、

前記入/出力端子に印加される電圧が接地電位以下になったとき、前記保護用pMOSFETのソースから基板に電流が流れて寄生バイポーラトランジスタが導通するようになり、前記第2のダイオード列を構成するダイオード数、及び前記第4の抵抗器の値が設定された請求項28記載の静電保護回路。

【請求項30】 前記第1の抵抗器及び第2の抵抗器は、オフ状態に設定されたnMOSFETであり、前記第3の抵抗器及び第4の抵抗器は、オフ状態に設定されたpMOSFETである請求項26乃至29のいずれか1項記載の静電保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置に關し、静電気による過電圧からその内部回路素子の破壊を防止するための静電保護回路に関する。

【0002】

【従来の技術】 図28は従来の静電保護回路の構成例を示す回路図であり、図29は従来の静電保護回路の他の構成例を示す回路図である。

【0003】 図28に示すように、従来の静電保護回路は、保護対象である内部回路素子に接続された入力端子INと接地電位GND間に挿入された、ドレイン(D)が入力端子INと接続され、ゲート(G)、ソース(S)及び基板(B)がそれぞれ接地電位GNDと接続されたNチャネルMOSFET(以下、nMOSFETと称す)Qn5を有する構成である。

【0004】 このよう従来の静電保護回路の入力端子INに負電圧が印加されると、nMOSFETQn5の基板(B)とドレイン(D)間のpn接合を通して接地電位GNDから入力端子INに電流が流れ、入力端子INに印加される負の過電圧がクランプされる。

【0005】 一方、入力端子INに正の過電圧が印加されると、nMOSFETQn5の寄生バイポーラトランジスタを通して入力端子INから接地電位GNDに電流が流れ、入力端子INに印加される正の過電圧がクランプされる。これは、ドレイン端でのインパクトオン化により基板電流が流れると基板抵抗によって電圧降下が生じ、nMOSFETQn5のソース(S)－基板(B)－ドレイン(D)から成る寄生バイポーラトランジスタが導通するのために起こる現象であり、図30に示すようなスナッチバックと呼ばれる負性抵抗を有する電圧(Vin)－電流(I)特性を示す。

【0006】 ここで、寄生バイポーラトランジスタが導通して高抵抗領域から低抵抗領域に変化する電圧Vtiをトリガー電圧と呼ぶ。通常、このトリガー電圧Vtiを内部回路素子の破壊電圧(ゲート酸化膜の耐圧)よりも低く設定する。

【0007】 一方、図29に示した静電保護回路は、図28に示した静電保護回路の構成に加えて、入力端子INと電源Vd d間に挿入された、ドレイン(D)が入力端子INと接続され、ゲート(G)、ソース(S)及び基板(B)がそれぞれ電源Vd dと接続されたPチャネルMOSFET(以下、pMOSFETと称す)Qp5を有する構成である。

【0008】 図29に示す静電保護回路は、電源Vd dが開放された状態では図28に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、入力端子INに電源Vd d以上の正電圧が印加されると、pMOSFETQp5のドレイン(D)と基板(B)間のpn接合を通して入力端子INから電源Vd dに電流が流れ、入力端子INに印加される正の過電圧がクランプされる。

【0009】 また、入力端子INに負の過電圧が印加されると、pMOSFETQp5の寄生バイポーラトランジスタが導通状態になり、pMOSFETQn5のドレイン(D)が接地電位と接続され、入力端子INに印加される負の過電圧がクランプされる。

イン(D)－基板(B)－ソース(S)を通して電源Vd dから入力端子INに電流が流れ、入力端子INに印加される負の過電圧がクランプされる。

【0010】 以上のように動作することで、入力端子INに過電圧が印加されることによる半導体集積回路装置の内部回路素子の破壊を防止している。

【0011】

【発明が解決しようとする課題】 近年の半導体集積回路装置は、高集積化に伴って内部回路素子が微細化され、破壊に至る電圧が低くなる傾向にある。例えば、MOSFETのゲート酸化膜の厚さは、ゲート長が0.35μmの世代で7～8nm、0.25μmの世代で5～6nm、0.18μmの世代で3.5～4nmと世代を経るごとに薄くなる。ゲート酸化膜の絶縁破壊耐圧は、およそ15MV/cmであるため、ゲート長が0.35μmの世代で10～12V、0.25μmの世代で7～9V、0.18μmの世代で5～6V程度になる。

【0012】 静電気による過電圧は過渡的なものであるため、上記絶縁破壊耐圧以上の電圧が印加されたとしても直ちにゲート酸化膜が破壊されるとは限らない。しかしながら、その場合でもトランジスタ特性が変動するなどして信頼性が低下することがある。

【0013】 上述のように、図28及び図29に示した従来の静電保護回路は、図30に示したようなMOSFETのスナッチバックによる電圧－電流特性を利用し、過電圧を抑制している。これは、MOSFETの通常のオン抵抗よりも寄生バイポーラトランジスタ導通時の低抵抗の方が小さいことによる。

【0014】 近年の内部回路素子の絶縁破壊耐圧は低下する傾向にあるため、トリガー電圧Vtiをより低く設定する必要がある。しかしながら、MOSFETの各種パラメータを変えるだけでトリガー電圧Vtiを所望の電圧に設定することは困難であるため、トリガー電圧Vtiを十分に低い電圧に設定することができずに内部回路素子を保護することが困難になってきている。

【0015】 本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、MOSFETがスナッチバック動作を起こすトリガー電圧を下げて低い絶縁破壊耐圧の回路素子を保護することが可能な静電保護回路を提供することを目的とする。

【0016】

【課題を解決するための手段】 上記目的を達成するため本発明の静電保護回路は、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入/出力端子と接続され、ソース及び基板がそれぞれ接地電位と接続された保護用nMOSFETと、前記保護用nMOSFETのゲートと前記入/出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用nMOSFETのゲートと接地電位間に接続

された抵抗器と、を有する構成であり、前記入/出力端子に印加される電圧が接地電位から電源電圧のとき前記保護用nMOSFETがオフ状態を維持し、前記入/出力端子に印加される電圧が電源電圧を越えたとき前記保護用nMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記抵抗器の値が設定された構成である。

【0017】 または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入/出力端子と接続され、ソース及びゲートがそれぞれ接地電位と接続された保護用nMOSFETと、前記保護用nMOSFETの少基板と前記入/出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用nMOSFETの基板と接地電位間に接続された抵抗器と、を有する構成であり、前記入/出力端子に印加される電圧が接地電位から電源電圧のとき前記保護用nMOSFETがオフ状態を維持し、前記入/出力端子に印加される電圧が電源電圧を越えたとき前記保護用nMOSFETの基板からソースに電流が流れて寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記抵抗器の値が設定された構成である。

【0018】 または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入/出力端子と接続され、ソース及び基板がそれぞれ接地電位と接続された保護用nMOSFETと、前記保護用nMOSFETのゲートと前記入/出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記ダイオード列と並行に、前記保護用nMOSFETのゲートと前記入/出力端子間に接続された第1の抵抗器と、前記保護用nMOSFETのゲートと接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入/出力端子に印加される電圧が接地電位から電源電圧のとき、前記保護用nMOSFETがオフ状態を維持するように、前記第1の抵抗器及び第2の抵抗器の値がそれぞれ設定され、前記入/出力端子に印加される電圧がそれを超えたとき、前記保護用nMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

【0019】 または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入/出力端子と接続され、ソース及びゲートがそれぞれ接地電位と接続された保護用nMOSFETと、前記保護用nMOSFETの少基板と前記入/出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用nMOSFETのゲートと接地電位間に接続

配ダイオード列と並行に、前記保護用nMOSFETの基板と前記入出力端子間に接続された第1の抵抗器と、前記保護用nMOSFETの基板と接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が電源電圧のとき、前記保護用nMOSFETがオフ状態を維持するよう、前記第1の抵抗器及び第2の抵抗器の値がそれぞれ設定され、前記入出力端子に印加される電圧が電源電圧を超えたとき、前記保護用nMOSFETの基板からソースに電流が流れて寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

[0020] ここで、前記抵抗器、あるいは前記第1の抵抗器及び第2の抵抗器は、オフ状態に設定されたnMOSFETであることが望ましい。

[0021] また、本発明の静電保護回路の他の構成は、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入出力端子と接続され、ソース及び基板がそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETのゲートと前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETのゲートと電源間に接続された抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧のとき前記保護用pMOSFETがオフ状態を維持し、前記入出力端子に印加される電圧が接地電位以下になったとき前記保護用pMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記抵抗器の値が設定された構成である。

[0022] または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが入出力端子と接続され、ソース及びゲートがそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETの基板と前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETの基板と電源間に接続された抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧のとき前記保護用pMOSFETがオフ状態を維持し、前記入出力端子に印加される電圧が接地電位以下になったとき前記保護用pMOSFETのソースから基板に電流が流れて寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記抵抗器の値が設定された構成である。

[0023] または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電

保護回路であって、ドレインが入出力端子と接続され、ソース及び基板がそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETのゲートと前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記入出力端子と並行に、前記保護用pMOSFETのゲートと前記入出力端子間に接続された第1の抵抗器と、前記保護用pMOSFETのゲートと接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が電源電圧のとき、前記保護用pMOSFETがオフ状態を維持するよう、前記第1の抵抗器及び第2の抵抗器の値がそれぞれ設定され、前記入出力端子に印加される電圧が接地電位以下になったとき、前記保護用pMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

[0024] または、静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であって、ドレインが前記入出力端子と接続され、ソース及びゲートがそれぞれ電源と接続された保護用pMOSFETと、前記保護用pMOSFETの基板と前記入出力端子間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列と、前記ダイオード列と並行に、前記保護用pMOSFETの基板と前記入出力端子間に接続された第1の抵抗器と、前記保護用pMOSFETの基板と接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入出力端子に印加される電圧が接地電位から電源電圧のとき、前記入出力端子に印加される電圧が接地電位以下になったとき、前記保護用pMOSFETがオンして寄生バイポーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

[0025] ここで、前記抵抗器、あるいは前記第1の抵抗器及び第2の抵抗器は、オフ状態に設定されたpMOSFETであることが望ましい。

[0026] また、前記nMOSFET及びそれに接続されたダイオード列、抵抗器と、前記pMOSFET及びそれに接続されたダイオード列、抵抗器とを組み合わせて用いることもできる。

[0027] 上記のように構成された静電保護回路では、入出力端子に印加される電圧が電源電圧を超える、あるいは接地電位以下になるなど異常な時に、保護用nMOSFET、または保護用pMOSFETの基板に電流が増加して、スナッチバックのトリガー電圧を下げるることができる。

[0028] 【発明の実施の形態】次に本発明について図面を参照して説明する。

[0029] 図1は本発明の静電保護回路の第1の実施の形態の構成を示す回路図である。図2は本発明の静電保護回路の第1の実施の形態の他の構成を示す回路図である。

[0030] 図1に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及び基板(B)がそれぞれ接地電位GNDと接続されたnMOSFETQn1と、nMOSFETQn1のゲート(G)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列Xn1と、nMOSFETQn1のゲート(G)と接地電位GND間に接続された抵抗器Rn1とを有する構成である。

[0031] また、図2に示す静電保護回路は、図1に示した静電保護回路の構成に加えて、ドレイン(D)が入力端子INと接続され、ソース(S)及び基板(B)がそれぞれ電源Vdと接続されたpMOSFETQp1と、pMOSFETQp1のゲート(G)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列Xp1と、pMOSFETQp1のゲート(G)と電源Vd間に接続された抵抗器Rp1とを有する構成である。

[0032] 図3は図1に示した静電保護回路の実施例を示す回路図であり、図4は図2に示した静電保護回路の実施例を示す回路図である。

[0033] 図3に示すように、図1に示した静電保護回路の抵抗器Rn1はnMOSFETQn1を用いて構成することが可能である。nMOSFETQn1のドレイン(D)はnMOSFETQn1のソース(S)と接続され、nMOSFETQn1のゲート(G)、及び基板(B)はそれぞれ接地電位GNDと接続される。

[0034] また、図4に示すように、図2に示した静電保護回路の抵抗器Rp1はpMOSFETQp1を用いて構成することが可能である。pMOSFETQp1のドレイン(D)はpMOSFETQp1のゲート(G)と接続され、pMOSFETQp1のソース(S)、ゲート(G)、及び基板(B)はそれぞれ電源Vdと接続される。なお、図4に示す抵抗器Rn1も図3と同様にnMOSFETQn1を用いて構成することが可能である。

[0035] このような構成において、次に本実施形態の静電保護回路の動作について、図3及び図4に示した回路を例にして説明する。

[0036] 図3において、入力端子INに入力電圧Vinが印加されているとき、ダイオード列Xn1とnMOSFETQn1の接続点(ノードA)の電位Vaは、

は、ダイオード列Xn1の順方向抵抗とnMOSFETQn1のオフ抵抗とで入力電圧Vinを分圧した値となる。

[0037] ダイオード列Xn1の順方向抵抗は、ダイオード列Xn1のダイオード数kとその順方向電圧Vfの積(k×Vf)より入力電圧Vinが低いときには高抵抗(例えば、10¹⁴Ω程度)となり、(k×Vf)よりも入力電圧Vinが高いときには低抵抗(例えば、100Ω程度)となる。一方、nMOSFETQn1のオフ抵抗は、寄生バイポーラトランジスタが導通するまでは入力電圧Vinに対して値が依存性しか示さないため、ほぼ一定と見なすことができる(例えば、100Ω程度)。

[0038] したがって、ノードAの電位Vaは、入力電圧Vinがダイオード数kと順方向電圧Vfの積(k×Vf)よりも低いときは接地電位GNDとほぼ等しく、入力電圧Vinが(k×Vf)よりも高くなると、例えば、図5に示すように入力電圧Vinとともに増加する。なお、図5はダイオード列Xn1のダイオード数kがk=4(実線)、k=6(点線)のときの様子を示している。

[0039] 本実施形態では、入力電圧Vinが電源電圧Vdを超えたとき、保護用のnMOSFETQn1のゲートにしきい値電圧Vth以上の電圧が印加されてオンするように、ダイオード列Xn1のダイオード数k、及びnMOSFETQn1のオフ抵抗値(しきい値電圧)をそれぞれ設定する。図5では、電源電圧Vdを、例えば、1.0V(k=4)と1.8V(k=6)に想定している。

[0040] このように設定することで、図3に示した静電保護回路は、入力電圧Vinが通常電圧(0≦Vin≦Vd)のときは保護用のnMOSFETQn1がオフ状態を維持し、入力電圧Vinが異常電圧(Vin>Vd)のときは保護用のnMOSFETQn1がオン状態となる。nMOSFETQn1がオン状態になると、チャネル電流が流れ、インパルス電流が通過されるために基板電流が増加し、スナッチバックのトリガー電圧Vt1が図6に示すように低下する(Vt1')。

[0041] したがって、ダイオード列Xn1のダイオード数k、あるいはnMOSFETQn1のオフ抵抗値(しきい値電圧)を調整することで、トリガー電圧Vt1を所望の電圧(低電圧)に設定することができる。絶縁破壊電圧が低い内部回路素子の破壊を防止することができ。

[0042] なお、図1または図3に示した入力端子INに負電圧が印加されると、従来と同様に、nMOSFETQn1のドレイン(D)と基板(B)間のpn接合を通じて接地電位GNDから入力端子INに電流が流れ、入力端子INに入力される負の過電圧がクラッシュされ、

る。

【0043】一方、図4に示した静電保護回路は、電源V_{dd}が開放された状態で図3に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、入力端子INに電源V_{dd}以上の正電圧が印加されると、pMOSFETQ_{n1}のドレイン(D)と基板(B)間のpMOSFETQ_{n1}の寄生バイポーラ電圧V_{be}が、入力端子INに電力が注ぎ込まれる正の過電圧がクランプされる。

【0044】さらに、図3に示した静電保護回路と同様に、入力電圧V_{in}が接地電位GND以下になったとき、保護用のpMOSFETQ_{p1}がオンするようになり、ダイオード列X_{p1}のダイオード数k、及びpMOSFETQ_{p1}のオフ抵抗値(しきい値電圧)をそれぞれ設定すれば、入力電圧V_{in}が通常電圧(0.5V以下)のときは保護用のpMOSFETQ_{p1}がオン状態を維持し、入力電圧V_{in}が異常電圧(V_{in}がV_{dd}のとき)は保護用のpMOSFETQ_{p1}がオン状態となる。したがって、図3に示したnMOSFETQ_{n1}と同様に、チャネル電流が流れ、インパルス電流が促進されるために基板電流が増加し、スナッチパルスのトリガー電圧V_{th1}が低下する。

【0045】よって、図4に示した静電保護回路は、nMOSFETQ_{n1}の寄生バイポーラトランジスタのトリガー電圧V_{th1}だけでなく、pMOSFETQ_{p1}の寄生バイポーラトランジスタのトリガー電圧V_{th1}も低下させることができるため、電源V_{dd}、接地電位GNDいずれが開放された場合でも入力端子INに印加される正負いずれの過電圧をクランプすることができる。

【0046】なお、図2及び図4に示した静電保護回路では、nMOSFETQ_{n1}とpMOSFETQ_{p1}とをそれぞれ有する構成を示しているが、pMOSFETQ_{p1}と、そのゲート(G)に接続されるダイオード列X_{p1}、及び低抵抗R_{p1}(またはpMOSFETQ_{p1}の寄生バイポーラトランジスタのトリガー電圧V_{th1}を低下させることができないため、接地電位GND開放時、入力端子INに印加される負の過電圧をクランプすることができる。

【0047】次に、本実施形態の静電保護回路の構造について図面を用いて説明する。

【0048】図7は図3に示した静電保護回路がシリコン基板上に形成された様子を示す断面図であり、図8は図4に示した静電保護回路がシリコン基板上に形成された様子を示す断面図である。なお、図7はダイオード列X_{n1}として2個のダイオードを示している。また、図8は図4に示した静電保護回路のうち、pMOSFETQ_{p1}、ダイオード列X_{p1}(ダイオード2個)、及びpMOSFETQ_{n1}、ダイオード列X_{n1}、及びnMOSFETQ_{n1}のみの構造を示している。nMOSFETQ_{n1}、ダイオード列X_{n1}、及びnMOSFETQ_{n1}の構造は図7と同様であるため、その説明は省略する。

FETQ_{n1}の構造は図7と同様であるため、その説明は省略する。

【0049】図7において、図3に示した静電保護回路は、まず、p型基板1中に、各素子を分離するための素子分離酸化膜2を400nm程度の厚さで形成し、フォトレジストをマスクとして用いて、ダイオード列X_{n1}の形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でリンを注入してnウェル24、23を形成する(図7に示したnウェル4と同様に形成される)。

【0050】続いて、フォトレジストをマスクとして用いて、ダイオード列X_{n1}の各ダイオードの形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でリンを注入してnウェル4を形成する。

【0051】次に、p型基板1上に厚さ3.5nm程度のゲート酸化膜を形成し、その上に、例えば、厚さ15nm、幅0.18μmの多結晶シリコンから成るゲート電極5を形成する。

【0052】続いて、ゲート電極5をマスクとして用いて、例えば、10keVで3×10¹⁴cm⁻²の条件でnMOSFETの形成領域にヒ素を注入し、ソース、ドレインとなるn⁺拡散層(不図示)を形成した後、ゲート電極5の側壁に幅100nm程度の酸化膜から成るサイドウォール(不図示)を形成する。

【0053】次に、フォトレジスト、ゲート電極5、及びサイドウォールをそれぞれマスクとして用いて、例えば、50keVで3×10¹⁵cm⁻²の条件で、nMOSFETの形成領域及びダイオードの形成領域にそれぞれヒ素を注入してn⁺拡散層6〜10を形成する。ここで、6はダイオード列X_{n1}を構成する各ダイオードのカソード、7はnMOSFETQ_{n1}のドレイン(D)、8はnMOSFETQ_{n1}のソース(S)、9はnMOSFETQ_{n1}のドレイン(D)、10はnMOSFETQ_{n1}のソース(S)となる。

【0054】次に、フォトレジストをマスクとして用いて、例えば、30keVで3×10¹⁵cm⁻²の条件でダイオードの形成領域及びnMOSFETの形成領域に2フッ化ボロン(BF₂)を注入してp⁺拡散層11〜13を形成する。ここで、11はダイオード列X_{n1}を構成する各ダイオードのアノード、12はnMOSFETQ_{n1}の基板(B)に配線を行うためのpウェルコンタクトとなる。

【0055】最後に、ゲート電極5、n⁺拡散層6〜10、p⁺拡散層11〜13の表面に、例えば、厚さ30nmのコンパルトシリサイド層14を形成し、層間絶縁膜(不図示)を形成した後、各コンパルトシリサイド層14上に配線を行う。

【0056】図8において、図4に示した静電保護回路は、まず、p型基板1中に、各素子を分離するための素子分離酸化膜2を400nm程度の厚さで形成し、フォトレジストをマスクとして用いて、ダイオード列X_{p1}の形成領域及びpMOSFETQ_{p1}の形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でリンを注入してnウェル24、23を形成する(図7に示したnウェル4と同様に形成される)。

【0057】次に、p型基板1上に厚さ3.5nm程度のゲート酸化膜を形成し、その上に、例えば、厚さ15nm、幅0.18μmの多結晶シリコンから成るゲート電極5を形成する。

【0058】続いて、ゲート電極5をマスクとして用いて、例えば、10keVで3×10¹⁴cm⁻²の条件でpMOSFETの形成領域に2フッ化ボロン(BF₂)を注入して、ソース、ドレインとなるp⁺拡散層(不図示)を形成した後、ゲート電極5の側壁に幅100nm程度の酸化膜から成るサイドウォール(不図示)を形成する。

【0059】次に、フォトレジスト、ゲート電極5、及びサイドウォールをそれぞれマスクとして用いて、例えば、50keVで3×10¹⁵cm⁻²の条件で、pMOSFETの形成領域、及びダイオードの形成領域にそれぞれヒ素を注入してn⁺拡散層31〜33を形成する(図7に示したn⁺拡散層6〜10と同様に形成される)。

【0060】次に、フォトレジストをマスクとして用いて、例えば、30keVで3×10¹⁵cm⁻²の条件で、ダイオードの形成領域及びpMOSFETの形成領域に2フッ化ボロン(BF₂)を注入してp⁺拡散層26〜30を形成する(図7に示したp⁺拡散層11〜13と同様に形成される)。ここで、26はダイオード列X_{p1}を構成する各ダイオードのアノード、27はpMOSFETQ_{p1}のドレイン(D)、28はpMOSFETQ_{p1}のソース(S)、29はpMOSFETQ_{p1}のドレイン(D)、30はpMOSFETQ_{p1}のソース(S)となる。

【0061】最後に、ゲート電極5、p⁺拡散層26〜30、n⁺拡散層31〜33の表面に、例えば、厚さ30nmのコンパルトシリサイド層14を形成し、層間絶縁膜(不図示)を形成した後、各コンパルトシリサイド層14上に配線を行う。

【0062】このような構造を有することで、ダイオード列X_{n1}、X_{p1}を構成する各ダイオードを、nMOSFETQ_{n1}、ダイオード列X_{n1}、及びnMOSFETQ_{n1}の構造は図7と同様であるため、その説明は省略する。

SFETQ_{n1}、Q_{n1}、あるいはpMOSFETQ_{p1}、Q_{p1}と共通の工程で形成することができるが、従来の構造に比べて工程を増やすことなく本発明の静電保護回路を形成することができる。

【0063】(第2の実施形態)図9は本発明の静電保護回路の第2の実施形態の構成を示す回路図であり、図10は本発明の静電保護回路の第2の実施形態の他の構成を示す回路図である。

【0064】図9に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ接地電位GNDと接続されたnMOSFETQ_{n2}と、nMOSFETQ_{n2}の基板(B)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列X_{n2}と、nMOSFETQ_{n2}の基板(B)と接地電位GND間に接続された低抵抗R_{n2}とを有する構成である。

【0065】また、図10に示した静電保護回路は、図9に示した静電保護回路の構成に加えて、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ電源V_{dd}と接続されたpMOSFETQ_{p2}と、pMOSFETQ_{p2}の基板(B)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列X_{p2}と、pMOSFETQ_{p2}の基板(B)と電源V_{dd}間に接続された低抵抗R_{p2}とを有する構成である。

【0066】図11は図9に示した静電保護回路の実施例を示す回路図であり、図12は図10に示した静電保護回路の実施例を示す回路図である。

【0067】図11に示すように、図9に示した静電保護回路の低抵抗R_{n2}は第1の実施形態と同様にnMOSFETQ_{n2}のソース(S)、ゲート(G)、及び基板(B)はそれぞれ接地電位GNDと接続される。

【0068】また、図12に示すように、図10に示した静電保護回路の低抵抗R_{p2}は第1の実施形態と同様にpMOSFETQ_{p2}のドレイン(D)を用いて構成することが可能である。pMOSFETQ_{p2}のドレイン(D)はpMOSFETQ_{p2}の基板(B)と接続され、pMOSFETQ_{p2}のソース(S)、ゲート(G)、及び基板(B)はそれぞれ電源V_{dd}と接続される。なお、図12に示す低抵抗R_{n2}も図11と同様にnMOSFETQ_{n2}のソース(S)、ゲート(G)、及び基板(B)を用いて構成することが可能である。

【0069】このような構成において、次に本実施形態の静電保護回路の動作について、図11及び図12に示した回路を例にして説明する。

【0070】図11に示すように、本実施形態の静電保護回路のダイオード列X_{n2}及びnMOSFETQ_{n2}の構造は図7と同様であるため、その説明は省略する。

2は、第1の実施形態のマイオード列X n 1及びn MOS F E T q r n 1と同様の構成であるため、ノードAの電位V aは、入力電圧V i nがマイオード列X n 2のダイオード数kと順方向電圧V fの積(k×V f)よりも低いときは接点電圧GNDとほぼ等しく、入力電圧V i nが(k×V f)よりも高くなると入力電圧V i nに比例して増加する。

【0071】本実施形態では、人ノ電圧 V_{in} が電ノ電圧 V_{dd} を越えたとき、保護用のnMOSFET Q_{n2} の基板(B)とソース(S)のpノ接合に順方向電流が流れるように、ゲートノ列ノ X_{n2} のタイオード数 k 、及びnMOSFET Q_{n2} のオフ抵抗値(しさい値電圧)をそれぞれ数定する。

【0072】このように設定することで、図11に示した静電帰還回路は、入力電圧 V_{in} が閾電圧 $(0 \leq V_{in} \leq V_{dd})$ のときは保護用のnMOSFETQn2がオフ状態を維持し、入力電圧 V_{in} が異常電圧 $(V_{in} > V_{dd})$ のときは保護用のnMOSFETQn2の基極(B)とソース(S)の間に順方向電流が流れるようになる。この順方向電流によってスナップバックのトリガー電圧 V_{Ti} が低下する。

【0073】一方、図1に示した静電保護回路は、電圧V_{dd}が開放された状態では、図1に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、図1に示した静電保護回路と同様に、入力電圧V_{in}が接地電位GND以下になったときに、保護用のpMOSFET Q₂の基板(B)とソース(S)間のp_n接合に順方向電流が流れるように、ダイオード列X_{p2}のダイオード数 k 、及びpMOSFET Q₂のオフ抵抗値(しきい値電圧)をそれぞれ最適化する。

【0074】このように設定することで、入力電圧 V_{in} が通常電圧 ($0 \leq V_{in} \leq V_{dd}$) のときは保護用のpMOSFET Q_2 がオフ状態を維持し、入力電圧 V_{in} が異常電圧 ($V_{in} < 0$) のときは保護用のpMOSFET Q_2 の基板 (B) とソース (S) のp-n接合に順方向電流が流れるようになる。この順方向電流によってスナッチアップのトリガー電圧 V_{th1} が低下する。

【0075】したがって、本実施形態の静電保護回路も第1の実施形態の静電保護回路と同様の効果を得ることができ、

【0076】なお、図10及び図12に示した静電保護回路では、nMOSFETQn2とpMOSFETQp2とをそれぞれ有する構成を示しているが、pMOSFETQp2及びその基板(10)に接続されるダイオード列Xp2、2及び抵抗器Rp2(またはpMOSFETQp2)のみを有する構成であってもよい。そのような構成であっても、pMOSFETQp2の寄生バイポーラトランジスタのトリガー電圧Vtiを低下させることができるため、接地電圧GND開放時、入力端子I1INに

ある。pMOSFET Q_{p3} のドレイン (D) は入力端子 IN と接続され、ゲート (G) 及びソース (S) はそれぞれ pMOSFET Q_{p3} のゲート (G) と接続され、基板 (B) は接地電位 GND と接続される。また、pMOSFET Q_{p4} のドレイン (D) は pMOSFET Q_{p3} のゲート (G) と接続され、ゲート (G)、ソース (S) 及び基板 (B) はそれぞれ電源 V_{dd} と接続される。なお、図 15 と同様、図 16 に示す低周波 Rn3 も pMOSFET Q_{p3} を用いて構成することが可能である、図 16 に示す低周波 Rn4 も pMOSFET Q_{p4} を用いて構成することが可能である。

【0084】このような構成において、次に本実施形態の静電保護回路の動作について図15及び図16に示した回路を例にして説明する。

【0085】図15において、入力端子1 NIに入力電圧 V_{in} が印加されているとき、ダイオード列 X_{n3} と $nMOSFET_{Qr4}$ の接続点（ノードA）の電位 V_a は、ダイオード列 X_{n3} の順方向低抵抗、または $nMOSFET_{Qr3}$ のオフ抵抗、 $nMOSFET_{Qr4}$ のオフ抵抗で入力電圧 V_{in} を分圧した値となる。

【0086】ダイオード列X n 3のダイオード数は、ダイオード列X n 3のダイオード数kとその順方向電圧V fの値(k×V f)よりも入力電圧V inが低いときには、高抵抗(例えば、10¹⁰Ω程度)となり、(k×V f)よりも入力電圧V inが高いときには低抵抗(例えば、100Ω程度)となる。一方、nMOSFETQ r n 3及びnMOSFETQ r n 4のオフ抵抗の値は、寄生バypassトランジスタが導通するまでは入力電圧V inに対して僅かな依存性しか示さないため、ほぼ一定と見なすことができる(例えば、10¹⁰Ω程度)。

【0087】したがって、入力電圧 V_{in} がダイオード数 k と順方向電圧 V_f の積 ($k \times V_f$) よりも低いとき、ダイオード列 X_{n3} と $nMOSFET_{Qn4}$ の接点 N (ノード N) の電位 V_A は、 $nMOSFET_{Qn3}$ のオフ抵抗と $nMOSFET_{Qn4}$ のオフ抵抗とで入力電圧 V_{in} を分した値となる。

【0088】このように、 $n\text{MOSFET}Q_{rn3}$ は入力電圧 V_{in} が $(k \times V_t)$ よりも低いときは電流のバイパスとして機能する。ダイオードと $n\text{MOSFET}Q_{rn3}$ は入力電圧 V_{in} が $(k \times V_t)$ よりも低いときは非常に高抵抗であり、実質的にオープンに近い状態になることがある。このような状況下で、もし $n\text{MOSFET}Q_{rn3}$ が無ければ、ノードAの電位 V_A は、単純にダイオード Q_{rn3} と $n\text{MOSFET}Q_{rn4}$ のオフ抵抗とで入力電圧 V_{in} を分圧した値とに等されるが、 $n\text{MOSFET}Q_{rn3}$ のゲート分圧値などには等されないことになる。この

印刷される負の過電圧をクランプすることができ、
【0077】また、本実施形態の靜電保護回路の構造
は、配線及びnMOSFETの基板をバイアスするため
にpウェルを囲むディープnウェルが必要になる点を除
けば、図7及び図8に示した第1の実施の形態の靜電保
護回路と同様であるため、その説明は省略する。

【0078】（第3の実施の形態）図13は本発明の静電保護回路の第3の実施の形態の構成を示す回路図であり、図14は本発明の静電保護回路の第3の実施の形態の他の構成を示す回路図である。

【0079】図13に示すように、本実施形態の静電抵抗回路は、ドレイン (D) が入力端子INと接続され、ソース (S) 及び基板 (B) がそれぞれ接地電位GNDと接続されたnMOSFETQn3と、nMOSFETQn3のゲート (G) と入力端子IN間に順方向に直列接続された少なくとも一つのダイオードから成るダイオード列Xn3と、nMOSFETQn3のゲート (G) と入力端子IN間に接続された底抵抗器Rn3と、nMOSFETQn3のゲート (G) と接地電位GND間に接続された底抵抗器Rn4とを有する構成である。

【0080】また、図 4 に示した静電保護回路は、図 1 に示した静電保護回路の構成に加えて、ドレイン板 (B) がそれぞれ電源 V_{dd} と接続された pMOSFET Q₃ と、モース ETQ₃ のゲート (G) と入力端子 1N間に順方向に直列接続された少なくとも 1 つのダイオードからなるタイオード列 X_{p3} と、pMOSFET Q₃ のゲート (G) と入力端子 1N間に接続された抵抗器 R_{p3} と、pMOSFET Q₃ のゲート (G) と電源 V_{dd}間に接続された抵抗器 R_{p4} とを有する構成である。

【0081】図15は図13に示した静電保護回路の実施例を示す回路図であり、図16は図14に示した静電保護回路の実施例を示す回路図である。

【0082】図15に示すように、図13に示した静電容量保持回路の抵抗器Rn3はnMOSFETQr n3を用いて構成することが可能であり、抵抗器Rn4はnMOSFETQr n4を用いて構成することが可能である。nMOSFETQr n3のゲート(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれnMOSFETQn3のゲート(G)と接続され、基板(B)は接地電位GNDと接続される。また、nMOSFETQr n4のドレイン(D)はnMOSFETQn3のゲート(G)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

【0083】また、図16に示すように、図14に示した静電保護回路の抵抗器R p 3はpMOSFETQ r p 3を用いて構成することが可能であり、抵抗器R p 4はpMOSFETQ r p 4を用いて構成することが可能で

が加えられると、pMOSFETQp3のドレイン(D)と基板(B)間のpn接合を通して入力端子INから電源V_{dd}に電流が流れ、入力端子INに力加される正の過電圧がクランプされる。

【0095】さらに、図15に示した静電保護回路と同様にして、入力電圧V_{in}が接地電位GND以下になつたとき、保護用のpMOSFETQp3がオン状態となり、ダイオード列Xp3のダイオード極k、及びpMOSFETQrp4のオフ抵抗値(しきい値電圧)をそれぞれ設定すれば、入力電圧V_{in}が過電圧(0≦V_{in}≦V_{dd})のときは保護用のpMOSFETQp3がオフ状態を維持し、入力電圧V_{in}が異常電圧(V_{in}<0)のときは保護用のpMOSFETQp3がオン状態となる。したがって、図15に示したnMOSFETQn3と同様に、チャネル電流が流れ、インバクティオン化が促進されるために基板電流が増加し、スナッチパツクのトリガー電圧V_{ti}が低下する。

【0096】よって、図16に示した静電保護回路は、第1の形態と同様に、nMOSFETQn3の寄生バイポーラトランジスタのトリガー電圧V_{ti}だけでなく、pMOSFETQp3の寄生バイポーラトランジスタのトリガー電圧V_{ti}も低下させることもできた。電源V_{dd}、接地電位GNDいずれが開放された場合でも、入力端子INに印加される正負それぞれの過電圧をクランプすることができ。

【0097】ところで、入力電圧V_{in}が過電圧(0≦V_{in}≦V_{dd})のときに、nMOSFETQn3またはpMOSFETQp3を確実にオフ状態で維持させるためには、nMOSFETQn3のオフ抵抗値とnMOSFETQp3のオフ抵抗値、あるいはpMOSFETQrp4のオフ抵抗値とpMOSFETQrp3のオフ抵抗値に差を設ければよい。

【0098】オフ抵抗値に差を設ける構成としては、例えば、nMOSFETQn3のゲート長をnMOSFETQrp4のゲート長よりも長めに設定する方法がある。短チャネル領域ではゲート長を0.1μm長くすれば、しきい値電圧V_{th}は、例えば、約0.1V高くなるためオフ抵抗値は約1桁大きくなる。

【0099】また、オフ抵抗値に差を設ける他の構成として、図18に示すようにnMOSFETQn3のゲート(G)を接地電位GNDと接続した構成、または、図19に示すようにpMOSFETQp3のゲート(G)を電源V_{dd}と接続した構成もある。この場合、nMOSFETQn3及びpMOSFETQp3が、より強くオフする方向に動作するため、nMOSFETQn3及びpMOSFETQp3のオフ抵抗値を、nMOSFETQrp4及びpMOSFETQrp3のオフ抵抗値よりも大きくすることができ。

【0100】なお、図14、図16及び図19に示した静電保護回路では、nMOSFETQn3とpMOSF

ETQp3とをそれぞれ有する構成を示しているが、pMOSFETQp3と、そのゲート(G)に接続されるダイオード列Xp3、抵抗器Rp3(またはpMOSFETQrp3)、及び抵抗器Rp4(またはpMOSFETQrp4)のみを有する構成であってもよい。このような構成であっても、pMOSFETQp3の寄生バイポーラトランジスタのトリガー電圧V_{ti}を低下させることができるため、接地電位GND開放時、入力端子INに印加される負の過電圧をクランプすることができ。

【0101】次に、本実施形態の静電保護回路の製造方法について図面を用いて説明する。

【0102】図20は図15に示した静電保護回路がシリコン基板に形成された様子を示す側断面図であり、図21は図16に示した静電保護回路がシリコン基板に形成された様子を示す側断面図である。なお、図20はダイオード列Xn3として2個のダイオードを示している。また、図21は図16に示した静電保護回路のようち、pMOSFETQp3、ダイオード列Xp3(ダイオード2個)、pMOSFETQrp3、及びpMOSFETQrp4のみの構造を示している。nMOSFETQn3、ダイオード列Xn3、nMOSFETQrn3、及びnMOSFETQrn4の構造は図20と同様であるため、その説明は省略する。

【0103】図20において、図15に示した静電保護回路は、まず、p型基板1中に、各素子を分離するため素子分離酸化膜2を400nm程度の厚さで形成し、フォトレジストをマスクとして用いて、nMOSFETの形成領域に、例えば、300keVで2×10¹³cm⁻²、200keVで4×10¹²cm⁻²、30keVで5×10¹²cm⁻²の条件でボロンを連続注入し、pウェル3を形成する。

【0104】続いて、フォトレジストをマスクとして用い、ダイオード列Xn3の各ダイオードの形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でヒ素を注入してnウェル4を形成する。

【0105】次に、p型基板1上に厚さ3.5nm程度のゲート酸化膜を形成し、その上に、例えば、厚さ150nm、幅0.18μmの多結晶シリコンから成るゲート電極5を形成する。

【0106】続いて、ゲート電極5をマスクとして用い、例えば、10keVで3×10¹⁴cm⁻²の条件でpMOSFETの形成領域にヒ素を注入し、ソース、ドレインとなるn⁺拡散層(不図示)を形成した後、ゲート電極5の側壁に幅100nm程度の酸化膜から成るサイドウォール(不図示)を形成する。

【0107】次に、フォトレジスト、ゲート電極5、及びサイドウォールをそれぞれマスクとして用い、例え

ば、50keVで3×10¹⁵cm⁻²の条件で、nMOSFETの形成領域及びダイオードの形成領域にそれぞれヒ素を注入してn⁺拡散層6〜10、15、16を形成する。ここで、6はダイオード列Xn3を構成する各ダイオードのカソード、7はnMOSFETQrn4のドレイン(D)、8はnMOSFETQrn4のソース(S)、9はnMOSFETQn3のドレイン(D)、10はnMOSFETQn3のソース(S)、15はnMOSFETQrn3のドレイン(D)、16はnMOSFETQrn3のソース(S)となる。

【0108】次に、フォトレジストをマスクとして用い、例えば、30keVで3×10¹⁵cm⁻²の条件でダイオードの形成領域及びnMOSFETの形成領域に2フッ化ボロン(BF₃)を注入してp⁺拡散層11〜13、17を形成する。ここで、11はダイオード列Xn3を構成する各ダイオードのアノード、12はnMOSFETQrn4の基板(B)に配線を行うためのpウェルコンタクト、13はnMOSFETQn3の基板(B)に配線を行うためのpウェルコンタクトとなる。

【0109】最後に、ゲート電極5、n⁺拡散層6〜10、15、16、p⁺拡散層11〜13、17の表面に、例えば、厚さ30nmのコンパルトシリサイド層14を形成し、層間絶縁膜(不図示)を形成した後、各コンパルトシリサイド層14に配線を行う。

【0110】図21において、図16に示した静電保護回路は、まず、p型基板1中に、各素子を分離するための素子分離酸化膜2を400nm程度の厚さで形成し、フォトレジストをマスクとして用いて、ダイオード列Xp3の各ダイオード及びpMOSFETの形成領域に、例えば、700keVで2×10¹³cm⁻²、500keVで4×10¹²cm⁻²の条件でリンを注入し、さらに、100keVで5×10¹²cm⁻²の条件でヒ素を注入してnウェル24、23を形成する(図20に示したnウェル4と同時に形成される)。

【0111】次に、p型基板1上に厚さ3.5nm程度のゲート酸化膜を形成し、その上に、例えば、厚さ150nm、幅0.18μmの多結晶シリコンから成るゲート電極5を形成する。

【0112】続いて、ゲート電極5をマスクとして用い、例えば、10keVで3×10¹⁴cm⁻²の条件でpMOSFETの形成領域に2フッ化ボロン(BF₃)を注入して、ソース、ドレインとなるp⁺拡散層(不図示)を形成した後、ゲート電極5の側壁に幅100nm程度の酸化膜から成るサイドウォール(不図示)を形成する。

【0113】次に、フォトレジスト、ゲート電極5、及びサイドウォールをそれぞれマスクとして用い、例え

ば、FETの形成領域、及びダイオードの形成領域にそれぞれヒ素を注入してn⁺拡散層31〜33、37を形成する(図20に示したn⁺拡散層6〜10と同時に形成される)。ここで、31はダイオード列Xp3を構成する各ダイオードのカソード、32はpMOSFETQrp4の基板(B)に配線を行うためのnウェルコンタクト、33はpMOSFETQp3の基板(B)に配線を行うためのnウェルコンタクトとなる。

【0114】次に、フォトレジストをマスクとして用い、例えば、30keVで3×10¹⁵cm⁻²の条件でダイオードの形成領域及びpMOSFETの形成領域に2フッ化ボロン(BF₃)を注入してp⁺拡散層26〜30、35、36を形成する(図20に示したp⁺拡散層11〜13と同時に形成される)。ここで、26はダイオード列Xp3を構成する各ダイオードのアノード、27はpMOSFETQrp4のドレイン(D)、28はpMOSFETQrp4のソース(S)、29はpMOSFETQp3のドレイン(D)、30はpMOSFETQp3のソース(S)、35はpMOSFETQrp3のドレイン(D)、36はpMOSFETQrp3のソース(S)となる。

【0115】最後に、ゲート電極5、p⁺拡散層26〜30、35、36、n⁺拡散層31〜33、37の表面に、例えば、厚さ30nmのコンパルトシリサイド層14を形成し、層間絶縁膜(不図示)を形成した後、各コンパルトシリサイド層14に配線を行う。

【0116】このような構造を有することで、ダイオード列Xn3、Xp3を構成する各ダイオードを、nMOSFETQn3、Qrn3、Qrn4、あるいはpMOSFETQp3、Qrp3、Qrp4と共通の工程で形成することができ、従来の構造に比べて工程を増やすことなく本発明の静電保護回路を形成することができる。

【0117】(第4の実施形態) 図22は本発明の静電保護回路の第4の実施形態の構成を示す回路図であり、図23は本発明の静電保護回路の第4の実施形態の他の構成を示す回路図である。

【0118】図22に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及びゲート(G)がそれぞれ接地電位GNDと接続されたnMOSFETQn4と、nMOSFETQn4の基板(B)と入力端子IN間に順方向に直列接続された少なくとも1つのダイオードから成るダイオード列Xn4と、nMOSFETQn4の基板(B)と入力端子IN間に接続された抵抗器Rn5と、nMOSFETQn4の基板(B)と接地電位GND間に接続された抵抗器Rn6とを有する構成である。

【0119】また、図23に示した静電保護回路は、図

構成を示す回路図である。

【図27】図23に示した静電保護回路の他の実施例の構成を示す回路図である。

【図28】従来の静電保護回路の一例構成例を示す回路図である。

【図29】従来の静電保護回路の他の構成例を示す回路図である。

【図30】従来の静電保護回路の入力電圧VINに対する保護用のMOSFETに流れる電流の関係を示すグラフである。

【符号の説明】

- 1 p型基板
- 2 素子分離酸化膜

3 pウェル

4、23、24 nウェル

5 ゲート電極

6~10、31~33 n⁺拡散層

11~13、26~30 p⁺拡散層

14 コバルトシリサイド層

Qn1~Qn4、Qrn1~Qrn6 nMOSFE

T

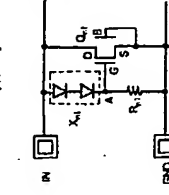
Qp1~Qp4、Qrp1~Qrp6 pMOSFE

T

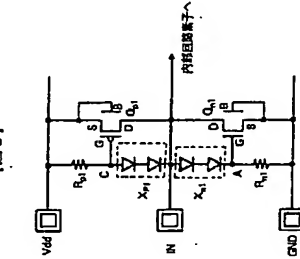
Rn1~Rn6、Rp1~Rp6 抵抗器

Xn1~Xn4、Xp1~Xp4 ダイオード列

【図1】



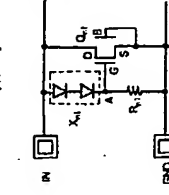
【図2】



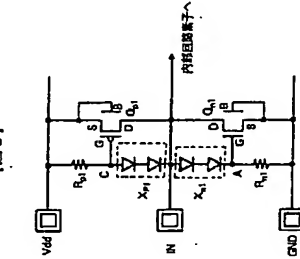
【図6】



【図3】



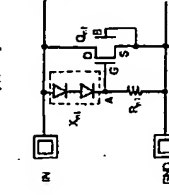
【図4】



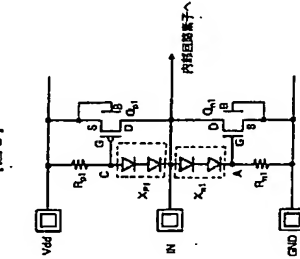
【図5】



【図9】



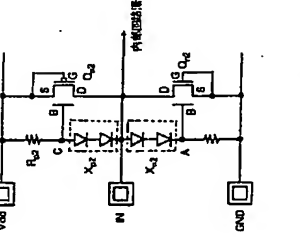
【図10】



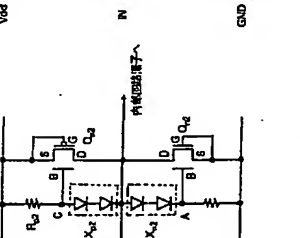
【図11】



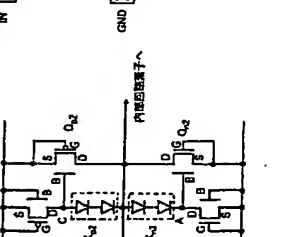
【図12】



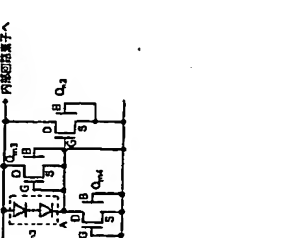
【図13】



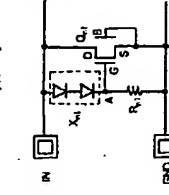
【図14】



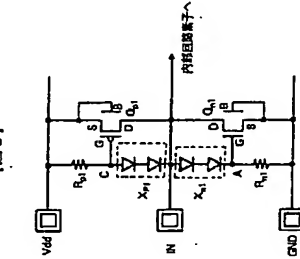
【図15】



【図16】



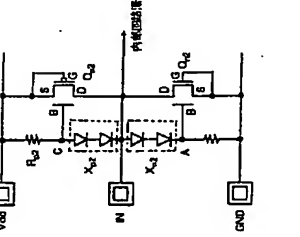
【図17】



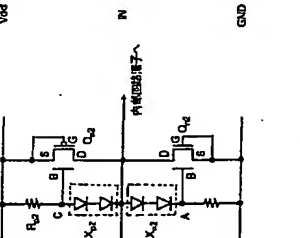
【図18】



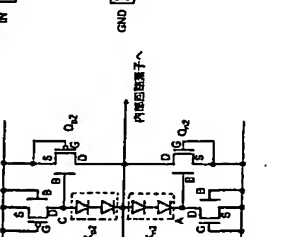
【図19】



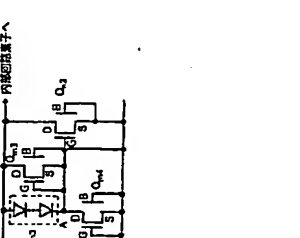
【図20】



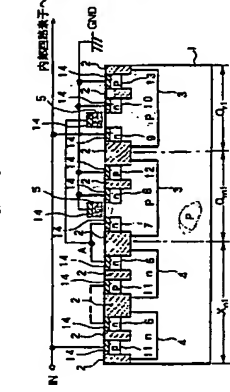
【図21】



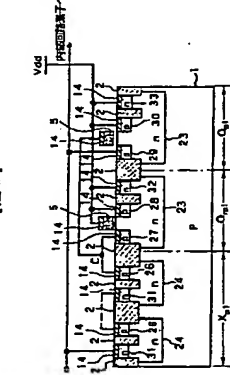
【図22】



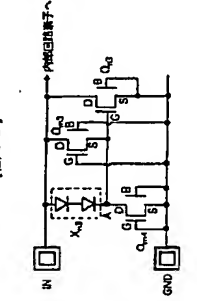
【図7】



【図8】



【図18】



【図20】

